

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

11050 U.S. PRO

09/920853



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 :
Application Number

특허출원 2001년 제 25475 호
PATENT-2001-0025475

출원년월일 :
Date of Application

2001년 05월 10일
MAY 10, 2001

출원인 :
Applicant(s)

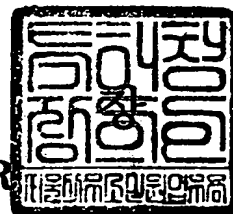
엘지전자 주식회사
LG ELECTRONICS INC.



2001 07 02
 년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2001.05.10
【국제특허분류】	H03F 3/20
【발명의 명칭】	전치 왜곡 방식 디지털 선형화기 및 그의 이득 조절 방법
【발명의 영문명칭】	PREDISTORTION TYPE DIGITAL LINEARIZER AND GAIN CONTROL METHOD THEREOF
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-1998-000275-8
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	2000-027763-7
【발명자】	
【성명의 국문표기】	이재혁
【성명의 영문표기】	LEE, Jae Hyuk
【주민등록번호】	740711-1069016
【우편번호】	137-073
【주소】	서울특별시 서초구 서초3동 1487-77 10/1
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 원 (인) 박장
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	7 면 7,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	36,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 디지털 선형화기에 관한 것으로, 특히 디지털 선형화기의 입력 신호의 레벨을 제어할 수 있어, 전력 증폭기의 선형화 출력 레벨을 제어할 수 있도록 한 전치 왜곡 방식 디지털 선형화기 및 그의 이득 조절 방법에 관한 것이다. 이러한 본 발명은, 추정된 대전력 증폭기 출력 레벨, 소정 지연된 디지털 입력 신호 레벨 및 원하는 대전력 증폭기 출력 레벨에 따라 이득 제어 신호의 값을 설정하고, 이 이득 제어 신호를 이용하여 디지털 입력 신호의 레벨을 조절한 후, 전치 왜곡기에서, 전력 증폭기의 비선형 왜곡 특성과 반대의 특성을 가지도록 왜곡한다. 이렇게 왜곡되기 전의 디지털 입력 신호의 레벨을 조절한 후 왜곡 과정을 수행하게 되면, 전치 왜곡 방식으로 전력 증폭기의 비선형 특성을 개선하는 송신기의 출력 레벨을 제어할 수 있게 된다.

【대표도】

도 4

【색인어】

대전력증폭기, 디지털선형화기, 전치왜곡방식, 디지털이득조절, 일함수, 송신기

【명세서】**【발명의 명칭】**

전치 왜곡 방식 디지털 선형화기 및 그의 이득 조절 방법{PREDISTORTION TYPE
DIGITAL LINEARIZER AND GAIN CONTROL METHOD THEREOF}

【도면의 간단한 설명】

도 1은 종래 전치 왜곡 방식 디지털 선형화기의 일례를 보인 도면.

도 2는 도1의 전치 왜곡기의 내부 블럭 구성을 보이는 도면.

도 3은 전치 왜곡 방식 디지털 선형화기의 대전력 증폭기에서 입력 레벨과 원하는
출력 레벨 간 관계를 도시한 도면.

도 4는 본 발명에 의한 전치 왜곡 방식 디지털 선형화기 구성의 일례를 보인 도면.

도 5는 도4의 이득 조절 회로와 전치 왜곡기 내부의 구성을 보인 도면.

도 6은 본 발명에 의한 전치 왜곡 방식 디지털 선형화기의 디지털 입력 신호의 이
득 조절 방법을 보이는 흐름도.

****도면의 주요 부분에 대한 부호의 설명****

300: 이득조절 전치왜곡부 20: 업컨버터

30: 대전력 증폭기 40: 피드백부

400: 적응 처리부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 대전력 증폭기가 구비된 송신기에 관한 것으로, 특히 송신기의 디지털 입력 신호의 레벨을 조절할 수 있도록 한 전치 왜곡 방식 디지털 선형화기 및 그의 이득 조절 방법에 관한 것이다.
- <12> 일반적으로 전력 증폭기(Power Amplifier)는, 고주파(Radio Frequency; RF) 신호를 증폭하여 기지국으로부터 공중으로 전달하는 중요한 부분으로, 전체 시스템의 비선형성에 가장 크게 영향을 미치는 부분이다. 이러한 전력 증폭기의 비선형 특성을 개선시키는 방법에는 Feed Forward 방식, Envelope Feedback 방식 그리고 Predistortion(전치 왜곡) 방식 등이 있다. 그 중에서도 성능에 비해 가격이 저렴하고, 보다 넓은 대역폭에서도 동작하는 선형화 방법으로 전치 왜곡 방식이 많이 사용된다. 이러한 전치 왜곡 방식은, 전력 증폭기의 비선형 왜곡 특성과 반대로 입력 신호를 미리 왜곡시켜서 전력 증폭기의 입력으로 제공하면 결과적으로 선형성이 개선된 결과를 얻게 된다.
- <13> 도1은 종래 전치 왜곡 방식 디지털 선형화기 구성의 일례를 보인다.
- <14> 도1에 도시된 바와 같이, 전치 왜곡 방식 디지털 선형화기는, 디지털 입력 신호를 대전력 증폭기(30)의 비선형 왜곡 특성과 반대의 특성을 가지도록 왜곡하는 전치 왜곡기(Predistorter)(10)와; 상기 전치 왜곡기(10)의 출력 신호를 상향 주파수 변환하여 고주파 신호(Radio Frequency)로 만드는 업컨버터(Up Converter)(20)와; 상기 업 컨버터(20)에서 출력되는 고주파 신호를 전력 증폭하는 대전력 증폭기(High Power

Amplifier;HPA)(30)와; 상기 대전력 증폭기(30)에서 출력되는 신호를 피드백(feedback)하여 하향 주파수 변환하는 피드백부(Feedback Unit)(40)와; 상기 피드백부(40)에서 출력되는 기저대역의 신호와 소정 지연된 상기 디지털 입력 신호를 이용하여 상기 디지털 입력신호에 대한 전치 왜곡을 제어하는 적응 처리부(Adaptation Processing Unit)(50);를 포함하여 구성된다.

<15> 또한 상기 전치 왜곡 방식 디지털 선형화기는, 상기 업컨버터(20)와 피드백부(40)로 변조 및 복조를 위한 국부 주파수를 제공하는 국부 발진기(Local Oscillator)(25)와; 상기 대전력 증폭기(30)의 출력을 일정 비율로 분리하는 분리기(Directional Coupler)(32)와; 상기 분리기(32)를 통과한 상기 대전력 증폭기(30)의 출력 신호가 반사되지 않도록 전송선의 끝을 종단시키는 종단기(34);를 더 포함한다. 상기 종단기(34)는 50 옴(Ohm)의 저항 성분을 가질 수 있다.

<16> 상기 업 컨버터(20)는, 상기 전치 왜곡기(10)에서 출력되는 디지털 신호를 아날로그 신호로 변환하는 디지털-아날로그 변환기(Digital to Analog Converter; DAC)(21a,21b)와; 상기 디지털-아날로그 변환기(21a,21b)에서 출력되는 기저 대역(baseband)의 신호를 상기 국부 발진기(25)에서 출력되는 국부 발진 주파수를 이용하여 변조하는 변조기(Modulator)(22);로 구성된다.

<17> 상기 피드백부(40)는, 상기 분리기(32)에서 출력되는 고주파 신호를 상기 국부 발진기(25)에서 출력되는 국부 발진 주파수를 이용하여 복조하는 복조기(Demodulator)(41)와; 상기 복조기(41)에서 출력되는 아날로그 기저 대역 신호를 디지털 신호로 변환하는 아날로그-디지털 변환기(Analog to Digital Converter; ADC)(42a,42b);로 구성된다.

<18> 상기 적응 처리부(50)는, 상기 디지털 입력 신호를 소정 시간 지연시키는 지연기

(Delay Unit)(51)와; 상기 지연기(51)에서 지연된 신호와 상기 아날로그-디지털 변환기(42a, 42b)에서 출력되는 신호를 이용하여 상기 전치 왜곡기(10)를 제어하는 디지털 신호 처리기(Digital Signal Processor; DSP)(52);로 구성된다.

<19> 상기 전치 왜곡기(10)는 도2에 도시된 바와 같이, 입력 신호의 크기를 측정하는 전력 측정부(110)와; 상기 입력 신호의 크기에 따라 입력 신호를 왜곡시킬 크기를 결정하기 위한 전치 왜곡 일함수(Predistortion Work Function)를 생성하는 일함수 생성부(Work Function Generator)(120)와; 상기 일함수 생성부(120)에서 생성된 전치 왜곡 일함수와 상기 입력 신호를 복소 결합하여, 상기 입력 신호를 전치 왜곡시키는 복소 결합기(130);를 포함하여 구성된다.

<20> 상기 전력 측정부(110)는, 제1 위상 디지털 입력 신호(I신호)를 자신끼리 곱하여 제곱값을 출력하는 제1 제공기(111)와; 제2 위상 디지털 입력 신호(Q신호)를 자신끼리 곱하여 제곱값을 출력하는 제2 제공기(112)와; 상기 제1 제공기(111) 및 상기 제2 제공기(112)의 각 출력을 가산하여 전체 디지털 입력 신호의 크기를 구하는 덧셈기(113);로 구성된다.

<21> 상기 일함수 생성부(120)는, 상기 덧셈기(113)의 출력을 자신끼리 곱하여 제곱값을 출력하는 제1 제공기(121)와; 상기 제1 제공기(121)의 출력과, 상기 제1 위상 디지털 입력 신호(I 신호)를 왜곡시키기 위한 전치 왜곡 일함수의 2차항 계수(a_I)를 곱하는 제1 계수 곱셈기(122)와; 상기 덧셈기(113)의 출력과, 상기 전치 왜곡 일함수의 1차항 계수(b_I)를 곱하는 제2 계수 곱셈기(123)와; 상기 제1 계수 곱셈기(122)의 출력과 상기 제2 계수 곱셈기(123)의 출력 및 상기 전치 왜곡 일함수의 상수항 계수(c_I)를 더하여, 상기 제1 위상 디지털 입력 신호(I신호)에 대한 전치 왜곡 일함수를 출력하는 제1 덧셈기

(124)와; 상기 덧셈기(113)의 출력을 자신끼리 곱하여 제곱값을 출력하는 제2 제곱기(125)와; 상기 제2 제곱기(125)의 출력과, 상기 제2 위상 디지털 입력 신호(Q 신호)를 왜곡시키기 위한 전치 왜곡 일함수의 2차항 계수(a_q)를 곱하는 제3 계수 곱셈기(126)와; 상기 덧셈기(113)의 출력과, 상기 전치 왜곡 일함수의 1차항 계수(b_q)를 곱하는 제4 계수 곱셈기(127)와; 상기 제3 계수 곱셈기(126)의 출력과 상기 제4 계수 곱셈기(127)의 출력 및 상기 전치 왜곡 일함수의 상수항 계수(c_q)를 더하여, 상기 제2 위상 디지털 입력 신호(Q신호)에 대한 일함수를 출력하는 제2 덧셈기(128);로 구성된다.

<22> 상기 제1 위상 디지털 입력 신호에 대한 전치 왜곡 일함수 및 상기 제2 위상 디지털 입력 신호에 대한 전치 왜곡 일함수의 각 항의 계수는, 상기 디지털 신호 프로세서(52)에 의해 갱신된다.

<23> 상기 복소 결합기(130)는, 상기 제1 위상 디지털 입력 신호(I신호)와 상기 제1 덧셈기(124)의 출력을 곱하는 제1 곱셈기(131)와; 상기 제1 덧셈기(124)의 출력과 상기 제2 위상 디지털 입력 신호(Q신호)를 곱하는 제2 곱셈기(132)와; 상기 제2 위상 디지털 입력 신호(Q신호)와 상기 제2 덧셈기(128)의 출력을 곱하는 제3 곱셈기(133)와; 상기 제1 위상 디지털 입력 신호(I 신호)와 상기 제2 덧셈기(128)의 출력을 곱하는 제4 곱셈기(134)와; 상기 제1 곱셈기(131)의 출력과 상기 제3 곱셈기(133)의 출력을 감산하여, 상기 제1 위상 디지털 입력 신호를 왜곡시키는 감산기(135)와; 상기 제2 곱셈기(132)의 출력과 상기 제4 곱셈기(134)의 출력을 더하여, 상기 제2 위상 디지털 입력 신호를 왜곡시키는 덧셈기(136);로 구성된다.

<24> 상기와 같이 구성된 종래 전치 왜곡 방식 디지털 선형화기의 동작을 설명하면 다음과 같다.

- <25> 송신기로 입력되는 디지털 입력 신호를, 대전력 증폭기(30)의 비선형 왜곡 특성과 반대의 특성을 가지도록 전치 왜곡기(10)에서 왜곡시킨 후, 대전력 증폭기(30)로 입력하면, 결과적으로, 대전력 증폭기(30)의 선형성을 개선시킬 수 있다.
- <26> 전치 왜곡기(10)는, 온도, 잡음 등 외부 영향에 대해 강한 디지털 형태로 신호 처리하기 위해 FPGA(Field Programmable Gate Array, 필드 프로그래머블 게이트 어레이)로 구현된다.
- <27> 이러한 대전력 증폭기(30)의 비선형 현상을 수학적으로 모델링하면, 1차와 2차 성분(디지털 입력 신호의 전력에 대한 성분)을 포함하는 다항식으로 나타낼 수 있고, 이러한 비선형 특성을 개선시키는 전치 왜곡기 또한 마찬가지로 1차와 2차 성분을 가지는 수학적 모델로 나타낼 수 있다.
- <28> 즉, 디지털 입력 신호의 크기에 따라, 디지털 입력 신호를 각각 왜곡시킬 크기를 결정하는 전치 왜곡 일함수 수식을 미리 2차 다항식으로 만들고, 상기 2차 다항식을 생성하기 위한 디지털 회로를 전치 왜곡기(10)에 구비한 후, 실제 디지털 입력 신호의 크기를 상기 2차 다항식을 생성하기 위한 디지털 회로의 입력으로 받아 들여, 디지털 입력 신호(제1 위상 디지털 입력 신호(I신호), 제2 위상 디지털 입력 신호(Q신호))의 크기를 복소 결합기(130)를 거쳐 왜곡시킨다.
- <29> 다시 설명하면, 전치 왜곡기(10)는, 디지털 입력 신호를 두 개의 경로로 나누어, 하나의 경로는 원래의 디지털 입력 신호를 그대로 통과시키고, 다른 하나의 경로는 그 디지털 입력 신호의 크기 즉, 전력을 판단하여 전력에 따라 일함수를 생성한다. 그런 다음 상기 두 개의 경로의 신호를 복소 결합하여 대전력 증폭기(30)의 비선형 특성과 반대로 왜곡된 입력 신호를 생성한다.

- <30> 전치 왜곡기(10)의 동작을 상세히 설명한다.
- <31> 전력 측정부(110)는, 제1 제공기(111)에서 제1 위상 디지털 입력 신호(I신호)를 자신끼리 곱하여 제공값을 구하고, 또한 제2 제공기(112)에서 제2 위상 디지털 입력 신호(Q신호)를 자신끼리 곱하여 제공값을 구한 후, 덧셈기(113)에서 이 두 제공값을 더하여 디지털 입력 신호의 크기를 출력한다.
- <32> 상기 두 제공값을 더한 값 즉, 상기 전력 측정부(110)에서의 상기 덧셈기(113)의 출력값(I^2+Q^2)을 X라고 가정한다.
- <33> 일함수 생성부(120)는, 상기 전력 측정부(110)에서 출력되는 디지털 입력 신호의 크기 즉, 전력(X)과 상기 디지털 신호 프로세서(52)에서 출력되는 전치 왜곡 일함수의 각 차수의 계수를 이용하여, 전치 왜곡 일함수를 생성한다.
- <34> 즉, 일함수 생성부(120)의 제1 덧셈기(124)는, I 신호에 대한 전치 왜곡 일함수를 [수학식1]과 같이 생성하고, 제2 덧셈기(128)는, Q 신호에 대한 전치 왜곡 일함수를 [수학식2]와 같이 생성한다. [수학식1]에서, a_I 은 I신호에 대한 전치 왜곡 일함수의 2차항 계수이고, b_I 은 I신호에 대한 전치 왜곡 일함수의 1차항 계수이며 c_I 은 I신호에 대한 전치 왜곡 일함수의 상수항이다. [수학식2]에서, a_Q 은 Q신호에 대한 전치 왜곡 일함수의 2차항 계수이고, b_Q 은 Q신호에 대한 전치 왜곡 일함수의 1차항 계수이며 c_Q 은 Q신호에 대한 전치 왜곡 일함수의 상수항이다.

<35> 【수학식 1】

$$a_I X^2 + b_I X + c_I$$

<36> 【수학식 2】

$$a_Q X^2 + b_Q X + c_Q$$

- <37> 복소 결합기(130)는, 상기 일함수 생성부(120)에서 출력되는 I 신호에 대한 전치 왜곡 일함수 및 Q신호에 대한 전치 왜곡 일함수와 원래의 I신호 및 Q신호를 복소 결합하여, 원래의 I 신호와 Q 신호를 왜곡시킨다.
- <38> 즉, 제1 곱셈기(131)는 상기 I신호와 I신호에 대한 전치 왜곡 일함수를 곱하고, 제2 곱셈기(132)는, I신호에 대한 전치 왜곡 일함수와 상기 Q신호를 곱하며, 제3 곱셈기(133)는 상기 Q신호와 Q신호에 대한 전치 왜곡 일함수를 곱하고, 제4 곱셈기(134)는 상기 I 신호와 상기 Q 신호에 대한 전치 왜곡 일함수를 곱한다.
- <39> 감산기(135)는 상기 제1 곱셈기(131)의 출력과 상기 제3 곱셈기(133)의 출력을 감산하여, 대전력 증폭기(30)의 비선형 특성과 반대로 상기 I 신호를 왜곡시키고, 덧셈기(136)는 상기 제2 곱셈기(132)의 출력과 상기 제4 곱셈기(134)의 출력을 더하여, 대전력 증폭기(30)의 비선형 특성과 반대로 상기 Q 신호를 왜곡시킨다.
- <40> 이렇게 전치 왜곡기(10)에서 대전력 증폭기(30)의 비선형 특성과 반대로 전치 왜곡된 디지털 입력 신호(I', Q')는, 업 컨버터(20)의 디지털-아날로그 변환기(21a, 21b) 및 변조기(22)를 거친 후 대전력 증폭기(30)로 입력된다.
- <41> 도3에 도시된 바와 같이, 전치 왜곡기(10)에서 전치 왜곡된 신호(P1)가 대전력 증폭기(30)로 입력되면, 대전력 증폭기(30)는 비선형 특성(P2)으로 입력신호를 증폭시키게 되어, 최종 출력은 비선형성이 개선된 선형화된 출력(P3)이 나온다.

<42> 이렇게 종래 전치 왜곡 방식의 디지털 선형화기는, 대전력 증폭기의 비선형 특성을 선형 특성으로 개선시키지만, 신호의 크기를 자유롭게 조절할 수 없는 단점이 있었다.

<43> 즉, 경우에 따라서는 송신기 즉, 디지털 선형화기의 출력 신호의 전력을 조절할 필요가 있는데, 전치 왜곡 방식의 디지털 선형화기는 출력 신호의 전력을 조절하지 못하는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<44> 이와 같이 본 발명은, 전치 왜곡 방식 디지털 선형화기의 출력 신호의 전력을 조절하지 못하는 종래 기술의 문제점을 해소하기 위해 제안된 것으로, 이러한 본 발명의 목적은, 송신기의 디지털 입력 신호의 레벨을 조절할 수 있도록 하여, 송신기에서 출력되는 신호의 크기를 원하는 대로 얻을 수 있도록 한 전치 왜곡 방식 디지털 선형화기 및 그의 이득 조절 방법을 제공함에 있다.

<45> 좀더 상세히 하면, 이득 제어 신호를 이용하여 디지털 입력 신호의 레벨을 조절한 후 전치 왜곡을 수행함으로써, 전력 증폭기의 선형화된 출력 레벨을 조절할 수 있도록 한 전치 왜곡 방식 디지털 선형화기 및 그의 이득 조절 방법을 제공함에 있다.

<46> 상기와 같은 본 발명에 의한 전치 왜곡 방식 디지털 선형화기는, 디지털 입력 신호의 레벨을 조절하고 레벨 조절된 디지털 입력 신호를 대전력 증폭기의 비선형 왜곡 특성과 반대의 특성을 가지도록 왜곡하는 이득조절 전치왜곡부와; 상기 이득조절 전치왜곡부의 출력 신호를 상향 주파수 변환하여 고주파 신호로 만드는 업컨버터와; 상기 업컨버터에서 출력되는 고주파 신호를 전력 증폭하는 상기 대전력 증폭기와; 상기 대전력 증폭기에서 출력되는 신호를 피드백하여 하향 주파수 변환하는 피드백부와; 상기 피드백부에

서 출력되는 기저대역의 디지털 신호와 소정 지연된 디지털 입력 신호 및 원하는 출력 레벨에 따라, 적응적으로 상기 이득조절 전치왜곡부를 제어하는 적응 처리부;를 포함하여 이루어짐을 특징으로 한다.

<47> 상기와 같은 본 발명에 의한 전치 왜곡 방식 디지털 선형화기의 이득 조절 방법은, 피드백된 디지털 출력 신호를 이용하여 대전력 증폭기의 출력 레벨을 판단하는 과정과; 상기 판단된 출력 레벨, 원하는 출력 레벨 및 소정시간 지연된 디지털 입력 신호의 레벨을 이용하여, 이득 조절을 위한 이득 제어 신호를 계산하는 과정과; 현재의 디지털 입력 신호에 상기 이득 제어 신호를 곱하여, 디지털 입력 신호의 레벨을 조절하는 과정과; 상기 곱한 결과 값 중에서 사인 비트를 보존하고 나머지 하위 비트들을 소정 비트수로 취해서 곱셈 연산 전후 신호들의 자리수를 맞추는 과정;을 포함하여 이루어짐을 특징으로 한다.

【발명의 구성 및 작용】

<48> 이하, 첨부된 도면을 참조하여 본 발명에 의한 바람직한 실시예를 설명하면 다음과 같다.

<49> 도4는 본 발명의 실시예에 의한 전치 왜곡 방식 디지털 선형화기를 구비한 송신기 구성의 일례를 보인다.

<50> 도4에 도시된 바와 같이, 본 발명의 실시예에 의한 전치 왜곡 방식 디지털 선형화기는, 디지털 입력 신호의 레벨을 조절하고 레벨 조절된 디지털 입력 신호를 대전력 증폭기(30)의 비선형 왜곡 특성과 반대의 특성을 가지도록 왜곡하는 이득조절 전치왜곡부(300)와; 상기 이득조절 전치왜곡부(300)의 출력 신호를 상향 주파수 변환하여 고주파

신호(Radio Frequency)로 만드는 업컨버터(Up Converter)(20)와; 상기 업 컨버터(20)에서 출력되는 고주파 신호를 전력 증폭하는 대전력 증폭기(High Power Amplifier;HPA)(30)와; 상기 대전력 증폭기(30)에서 출력되는 신호를 피드백(feedback)하여 하향 주파수 변환하는 피드백부(Feedback Unit)(40)와; 상기 피드백부(40)에서 출력되는 기저대역의 디지털 신호와 소정 지연된 디지털 입력 신호 및 원하는 출력 레벨에 따라, 적응적으로 대전력 증폭기(30)의 입력 신호의 이득 조절 및 전치 왜곡을 제어하는 적응 처리부(Adaptation Processing Unit)(400);를 포함하여 구성된다.

<51> 또한 상기 전치 왜곡 방식 디지털 선형화기는, 상기 업컨버터(20)와 피드백부(40)로 변조 및 복조를 위한 국부 주파수를 제공하는 국부 발진기(Local Oscillator)(25)와; 상기 대전력 증폭기(30)의 출력을 일정 비율로 분리하는 분리기(Directional Coupler)(32)와; 상기 분리기(32)를 통과한 상기 대전력 증폭기(30)의 출력 신호가 반사되지 않도록 전송선의 끝을 중단시키는 종단기(34);를 더 포함한다.

<52> 상기 이득조절 전치왜곡부(300)는, 상기 적응 처리부(400)에서 출력되는 이득 제어 신호를 이용하여 디지털 입력 신호의 레벨을 조절하는 이득 조절 회로(200)와; 상기 이득 조절 회로(200)에서 이득 조절된 디지털 입력 신호를 상기 대전력 증폭기(30)의 비선형 왜곡 특성과 반대의 특성을 가지도록 왜곡하는 전치 왜곡기(100);로 구성된다.

<53> 상기 이득 조절 회로(200)는 도5에 도시된 바와 같이, 제1 위상 디지털 입력 신호(I신호)와 이득 제어 신호(Gain Control Signal)를 곱하여, 상기 제1 위상 디지털 입력 신호의 레벨을 조절하는 제1 곱셈기(210)와; 상기 제1 곱셈기(210)의 디지털 출력신호로부터 소정 비트수를 취하여 입출력 자리수를 맞추는 제1 라운딩부(Rounding Unit)(220)

와; 제2 위상 디지털 입력 신호(Q신호)와 상기 이득 제어 신호를 곱하여, 상기 제2 위상 디지털 입력 신호의 레벨을 조절하는 제2 곱셈기(220)와; 상기 제2 곱셈기(220)의 디지털 출력 신호로부터 소정 비트수를 취하여 입출력 자리수를 맞추는 제2 라운딩부(240);를 포함하여 구성된다.

<54> 상기 이득 제어 신호는, 전치 왜곡되기 전의 원래의 디지털 입력 신호의 레벨을 조절하기 위한 신호로서, 소정 지연된 디지털 입력 신호의 레벨, 피드백된 디지털 출력 신호를 이용하여 추정된 대전력 증폭기 출력 레벨 및 원하는 대전력 증폭기 출력 레벨에 따라 설정된다. 그래서 이득 제어 신호는 디지털 입력 신호의 레벨을 조절하여 대전력 증폭기 출력을 원하는 레벨로 얻을 수 있게 해 준다.

<55> 상기 적응 처리부(400)는, 디지털 선형화기의 디지털 입력 신호를 소정 시간 지연시키는 지연기(Delay Unit)(410)와; 상기 아날로그-디지털 변환기(42a,42b)에서 변환된 디지털 출력 신호를 이용하여 대전력 증폭기(30)의 출력 레벨을 판단하고, 판단된 출력 레벨과 상기 지연기(410)에서 지연된 신호 및 원하는 출력 레벨을 이용하여 상기 디지털 입력 신호의 이득 조절 및 전치 왜곡을 적응적으로 제어하는 디지털 신호 프로세서(Digital Signal Processor; DSP)(420);로 구성된다.

<56> 따라서, 상기 이득 조절 회로(200)로 제공되는 이득 제어 신호는, 도4에 도시된 바와 같이, 디지털 신호 프로세서(420)에서 생성될 수도 있고, 또다른 실시예로서, 외부로부터 제공될 수도 있다.

<57> 상기 업컨버터(20)와 피드백부(40)는 도1에 도시된 업컨버터(20)와 피드백부(40)의 구성과 동일한 구성을 가지므로, 설명을 생략한다.

- <58> 상기와 같이 구성된 전치 왜곡 방식 디지털 선형화기의 동작을 설명하면 다음과 같다.
- <59> IMT-2000(International Mobile Telecommunication-2000) 등 이동통신 시스템에서 요구되는 송신기 즉, 디지털 선형화기의 출력 레벨의 범위가 있는데, 디지털 선형화기의 출력 레벨이 요구 범위를 벗어나는 경우, 디지털 선형화기의 출력 레벨을 조절해야 한다. 즉, 디지털 선형화기의 출력 레벨이 요구 범위에 못미치는 경우, 디지털 선형화기의 출력 레벨을 높이기 위한 이득 제어 신호를 이득 조절 회로(200)에 제공한다. 또한 디지털 선형화기의 출력 레벨이 요구 범위를 초과하는 경우, 디지털 선형화기의 출력 레벨을 낮추기 위한 이득 제어 신호를 이득 조절 회로(200)에 제공한다.
- <60> 또한, 실제로, 선형화 알고리즘은 가장 큰 디지털 신호를 '1'로 간주하고 수행하는 것으로서, 14비트 신호의 가장 높은 비트를 '1'로 간주했기 때문에 디지털 입력 신호의 레벨을 높이기 위해서는 한계가 있었다. 따라서, 본 발명에 의한 전치 왜곡기는 전치 왜곡 일함수의 각 차수의 계수들의 비트 수가 20비트로 설계되어, 입력 신호의 레벨을 보다 정확하게 조정할 수 있도록 했다.
- <61> 도3에 도시된 바와 같이, 전치 왜곡 방식 디지털 선형화기 즉, 송신기의 출력 레벨이 원하는 레벨보다 낮은 경우, 송신기의 출력 레벨이 원하는 레벨이 되도록, 레벨 증가된 입력 신호가 송신기에 인가되어야 한다.
- <62> 전치 왜곡 방식 디지털 선형화기의 디지털 입력 신호의 이득 조절 방법을 상세히 설명하면 다음과 같다.

- <63> 도6은 본 발명에 의한 전치 왜곡 방식 디지털 선형화기의 디지털 입력 신호의 이득 조절 방법을 보이는 흐름도이다.
- <64> 피드백부(40)는, 대전력 증폭기(30)의 아날로그 출력 신호를 피드백하여, 디지털 출력 신호로 변환한 후 적응 처리부(400)의 DSP(420)로 출력한다. 지연기(410)는, 디지털 선형화기의 디지털 입력 신호(I, Q)를 소정 시간 지연시킨다.
- <65> DSP(420)는, 피드백부(40)에서 출력된 디지털 출력 신호를 연산하여, 대전력 증폭기의 출력 레벨을 판단한다(S10). DSP(420)는, 지연기(410)에서 지연된 디지털 입력 신호의 레벨과 상기 판단된 출력 레벨 및 원하는 출력 레벨을 이용하여 도3에서 보여지는 입출력 특성 곡성에 의거, 이득 조절을 위한 이득 제어 신호를 계산한다(S11).
- <66> 대전력 증폭기의 출력 레벨이 원하는 레벨보다 낮은 경우, DSP(420)는, 디지털 입력 신호의 레벨 증가를 위한 이득 제어 신호를 생성한다(여기서는 이득 제어 신호가 DSP(420)에서 생성되는 실시예를 설명하지만, 이득 제어 신호는 외부로부터 제공될 수 있다).
- <67> 이득 조절 회로(200)는, 상기 이득 제어 신호를 디지털 입력 신호(I신호와 Q신호)에 공급한다. 제1 곱셈기(210)는 상기 이득 제어 신호와 I신호를 곱하고 제2 곱셈기(230)는 상기 이득 제어 신호와 Q신호를 곱해서, 이득을 조절한다(S12).
- <68> 이때 제1 곱셈기(210) 및 제2 곱셈기(230)의 각 출력값의 비트 수는, 곱하기 전의 비트 수와 달라지게 된다. 그래서 제1 및 제2 라운딩부(220)(240)는 각각, 상기 제1 및 제2 곱셈기(210)(230)의 각 출력값 중에서 사인비트(Sign Bit)를 보전하고 나머지 하위 비트들을 적당한 비트수를 취해서, 동기와 자리수를 맞춘다(S13).

- <69> 이렇게 이득 조절 회로(200)에서 레벨 조정된 I신호와 Q신호는 전치 왜곡기(100)로 입력되고, 전치 왜곡기(100)는, 레벨 조정된 I신호와 Q신호의 전력을 측정하고, 측정된 전력에 따라 디지털 신호 프로세서(420)로부터 제공되는 전치 왜곡 일함수의 각 차수의 계수를 이용하여, I신호에 대한 전치 왜곡 일함수와 Q신호에 대한 전치 왜곡 일함수를 생성한다. 그런 다음 전치 왜곡기(100)는, 상기 레벨 조정된 I신호 및 Q신호와 상기 전치 왜곡 일함수를 복소 결합하여, 대전력 증폭기(30)의 비선형 왜곡 특성과 반대로 I신호 및 Q신호를 왜곡시킨다.
- <70> 이렇게 전치 왜곡된 디지털 입력 신호(I', Q')는 디지털-아날로그 변환기(21a, 21b)에서 아날로그 신호로 변환되고, 변조기(22)에서 변조된 후 대전력 증폭기(30)로 인가된다.
- <71> 대전력 증폭기(30)는 인가된 고주파 신호를 전력 증폭하며, 이때 전력 증폭된 신호는 비선형 특성이 제거된 선형화 특성을 가진다.
- <72> 분리기(32)는, 대전력 증폭기(30)의 출력을 일정 비율로 분리하고, 복조기(41)는, 분리기(32)에서 분리된 선형화 고주파 신호를 복조하며, 아날로그-디지털 변환기(42a, 42b)는, 복조기(41)에서 출력되는 아날로그 기저 대역 신호를 디지털 신호로 변환한다.
- <73> 지연기(410)는, 송신기의 디지털 입력 신호(I신호, Q신호)를 소정 시간 지연시키고, 디지털 신호 처리기(420)는, 지연기(410)의 출력 신호와 아날로그-디지털 변환기(42a, 42b)에서 출력되는 신호를 비교하여, 에러가 작아지도록 전치 왜곡 일함수의 계수들을 갱신한 후, 전치 왜곡기(100)로 제공한다.

<74> 이렇게 송신기의 디지털 입력 신호를 이득 제어 신호를 이용하여 레벨을 조절한 후 전치 왜곡함으로써, 전치 왜곡 방식으로 대전력 증폭기의 비선형 특성을 개선하는 송신기의 출력 레벨을 조절할 수 있게 된다.

【발명의 효과】

<75> 이상에서 살펴본 바와 같이, 본 발명에 의한 전치 왜곡 방식 디지털 선형화기 및 그의 이득 조절 방법은, 이득 제어 신호를 디지털 선형화기의 입력 레벨에 곱하여, 디지털 선형화기의 입력 레벨을 조절한 후 전치 왜곡을 수행함으로써, 전치 왜곡 방식으로 대전력 증폭기의 비선형 특성을 개선하는 디지털 선형화기의 출력 레벨을 제어할 수 있는 효과가 있다. 또한 디지털 레벨에서 디지털 선형화기의 입력 레벨을 조정함으로써 온도, 잡음 등의 외부 영향에 대해 안정적으로 동작하는 효과가 있다.

【특허청구범위】**【청구항 1】**

디지털 입력 신호의 레벨을 조절하고 레벨 조절된 디지털 입력 신호를 대전력 증폭기의 비선형 왜곡 특성과 반대의 특성을 가지도록 왜곡하는 이득조절 전치왜곡부와;

상기 이득조절 전치왜곡부의 출력 신호를 상향 주파수 변환하여 고주파 신호로 만드는 업컨버터와;

상기 업 컨버터에서 출력되는 고주파 신호를 전력 증폭하는 상기 대전력 증폭기와;

상기 대전력 증폭기에서 출력되는 신호를 피드백하여 하향 주파수 변환하는 피드백부와;

상기 피드백부에서 출력되는 기저대역의 디지털 신호와 소정 지연된 디지털 입력 신호 및 원하는 출력 레벨에 따라, 적응적으로 상기 이득조절 전치왜곡부를 제어하는 적응 처리부;를 포함하여 구성된 것을 특징으로 하는 전치 왜곡 방식 디지털 선형화기.

【청구항 2】

제 1항에 있어서, 상기 이득조절 전치왜곡부는,

상기 적응 처리부에서 출력되는 이득 제어 신호에 따라 디지털 입력 신호의 레벨을 조절하는 이득 조절 회로와; 상기 이득 조절 회로에서 이득 조절된 디지털 입력 신호를 상기 적응 처리부의 제어에 따라, 상기 대전력 증폭기의 비선형 왜곡 특성과 반대의 특성을 가지도록 왜곡하는 전치 왜곡기;로 구성되는 것을 특징으로 하는 전치 왜곡 방식 디지털 선형화기.

【청구항 3】

제 2 항에 있어서, 상기 이득 제어 신호는, 외부로부터 제공될 수 있는 것을 특징으로 하는 전치 왜곡 방식 디지털 선형화기.

【청구항 4】

이득 제어 신호에 따라 디지털 입력 신호의 레벨을 조절하는 이득 조절 회로와;

상기 이득 조절 회로에서 이득 조절된 디지털 입력 신호를 적응 처리부의 제어에 따라, 상기 대전력 증폭기의 비선형 왜곡 특성과 반대의 특성을 가지도록 왜곡하는 전치 왜곡기와;

상기 전치 왜곡기에서 출력되는 디지털 신호를 아날로그 신호로 변환하는 디지털-아날로그 변환기와;

상기 디지털-아날로그 변환기에서 출력되는 기저 대역의 신호를 변조하는 변조기와;

상기 변조기의 출력을 전력 증폭하는 대전력 증폭기와;

상기 대전력 증폭기에서 출력되는 고주파 신호를 복조하는 복조기와;

상기 복조기에서 출력되는 아날로그 기저 대역 신호를 디지털 신호로 변환하는 아날로그-디지털 변환기와;

상기 디지털 입력 신호를 소정 시간 지연시키는 지연기와;

상기 아날로그-디지털 변환기에서 변환된 디지털 출력 신호를 이용하여 대전력 증폭기의 출력 레벨을 판단하고, 판단된 출력 레벨과 상기 지연기에서 지연된 신호 및 원하는 출력 레벨을 이용하여 상기 디지털 입력 신호의 이득 조절 및 전치 왜곡을 적응적

으로 제어하는 디지털 신호 프로세서;를 포함하여 이루어지는 것을 특징으로 하는 전치 왜곡 방식 디지털 선형화기.

【청구항 5】

피드백된 디지털 출력 신호를 이용하여 대전력 증폭기의 출력 레벨을 판단하는 과정과;

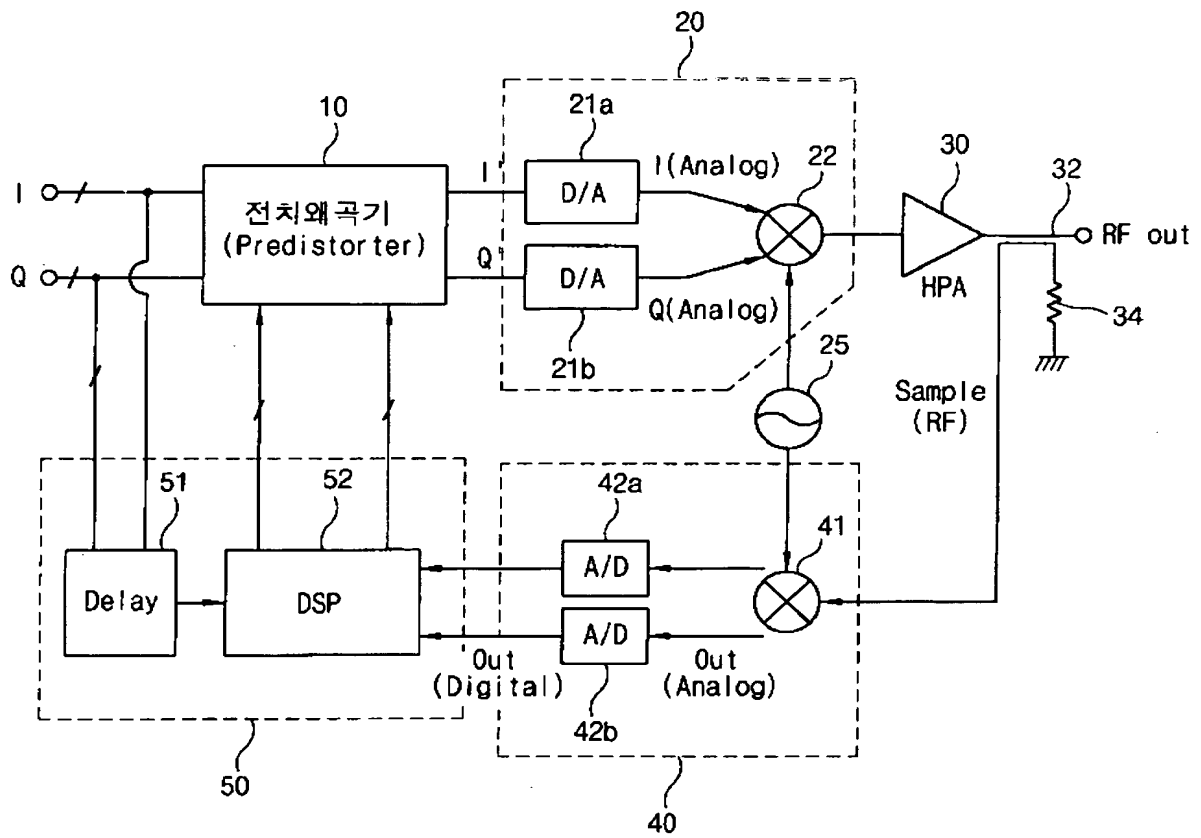
상기 판단된 출력 레벨, 원하는 출력 레벨 및 소정시간 지연된 디지털 입력 신호의 레벨을 이용하여, 이득 조절을 위한 이득 제어 신호를 계산하는 과정과;

현재의 디지털 입력 신호에 상기 이득 제어 신호를 곱하여, 디지털 입력 신호의 레벨을 조절하는 과정과;

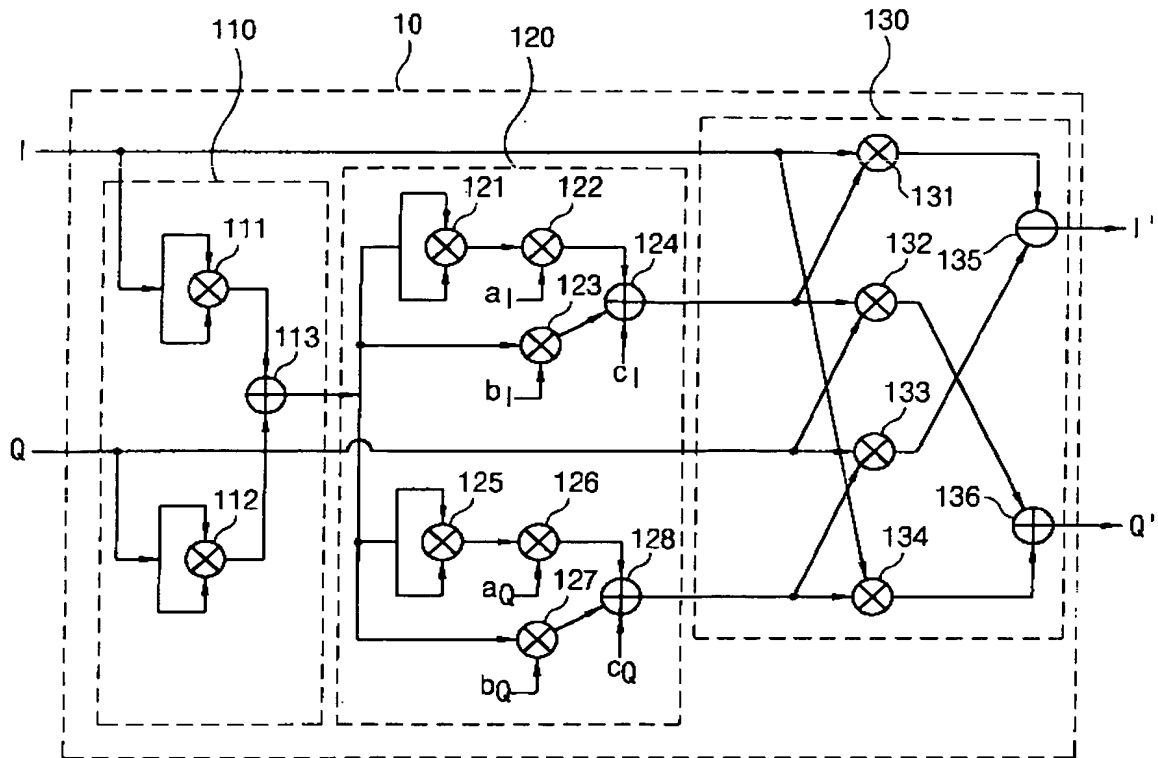
상기 곱한 결과 값 중에서 사인 비트를 보존하고 나머지 하위 비트들을 소정 비트수로 취해서 곱셈 연산 전후 신호들의 자리수를 맞추는 과정;을 포함하여 이루어지는 것을 특징으로 하는 전치 왜곡 방식 디지털 선형화기의 이득 조절 방법.

【도면】

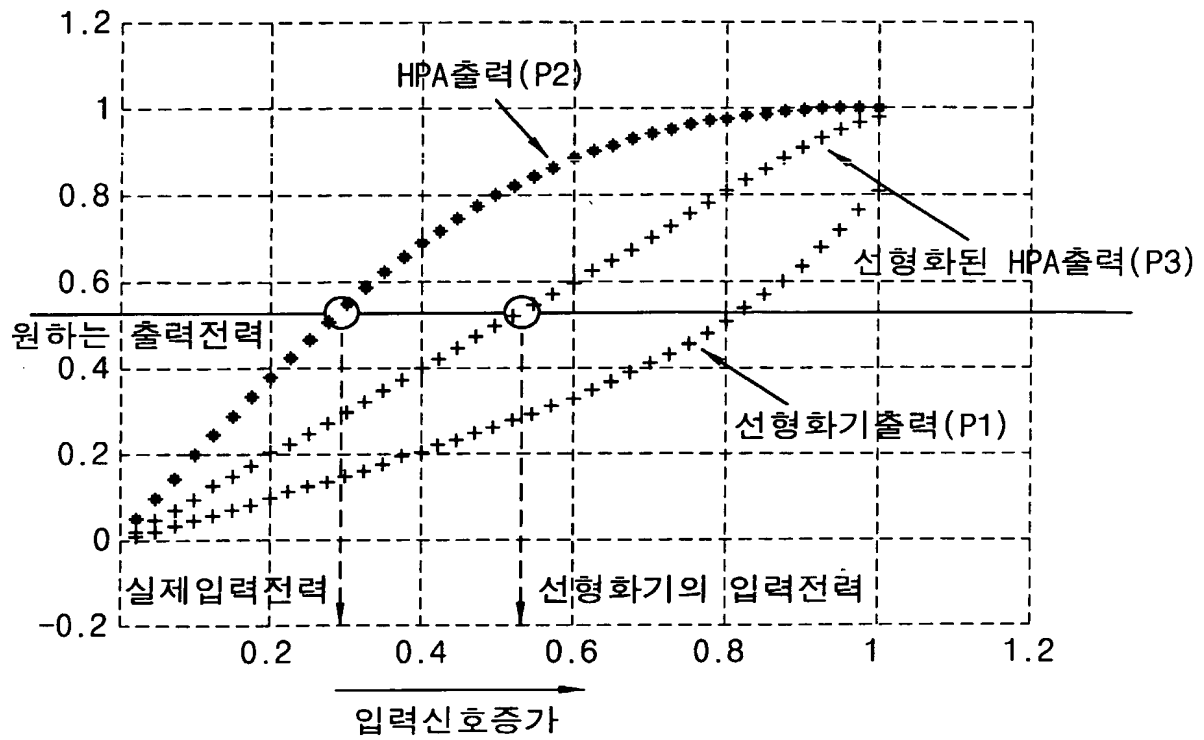
【도 1】



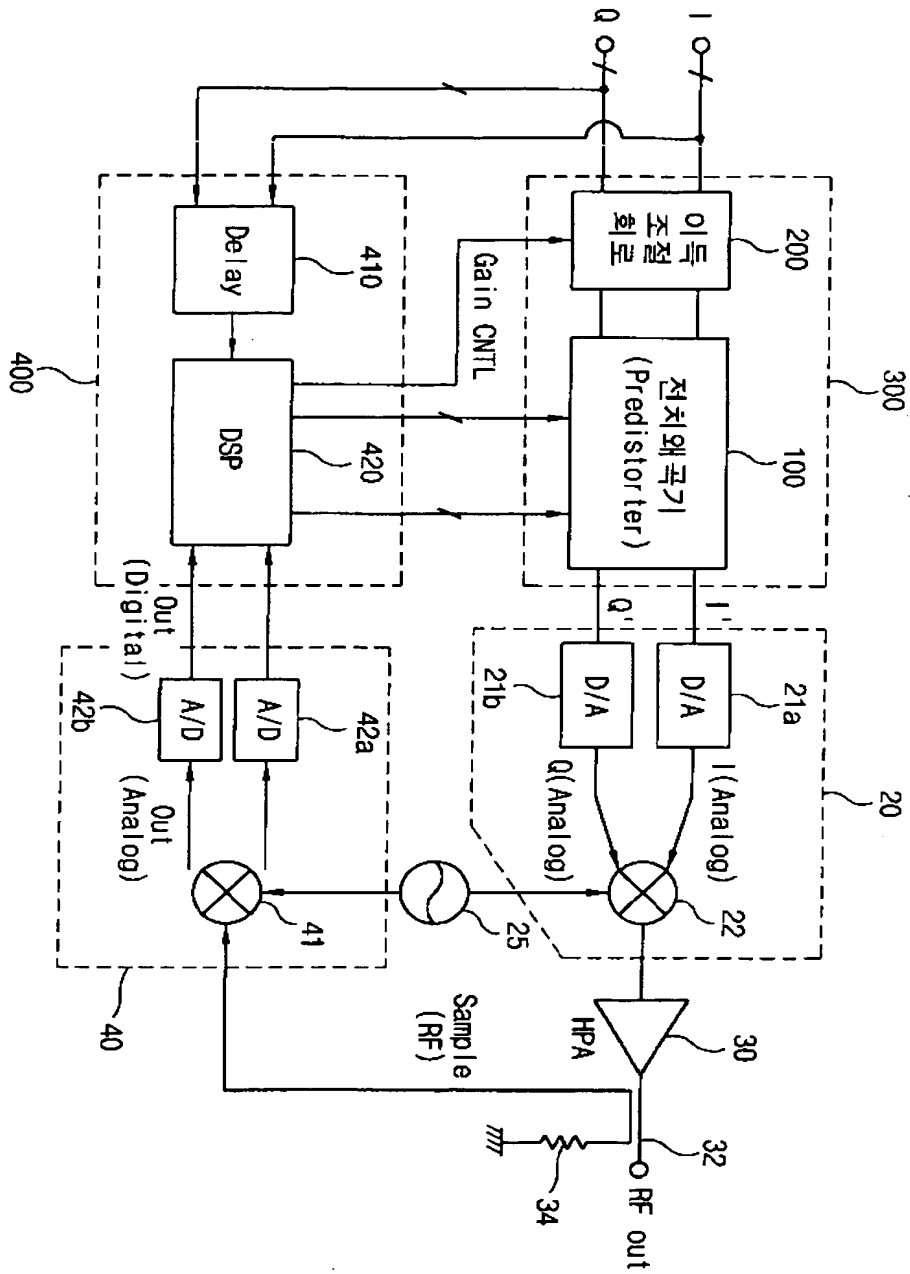
【도 2】



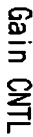
【도 3】



【도 4】



【도 5】



【도 6】

